

CLIPPEDIMAGE= JP363288067A

PAT-NO: JP363288067A

DOCUMENT-IDENTIFIER: JP 63288067 A

TITLE: THIN-FILM TRANSISTOR

PUBN-DATE: November 25, 1988

INVENTOR-INFORMATION:

NAME

OSADA, TAKETO

ASSIGNEE-INFORMATION:

NAME

RICOH CO LTD

COUNTRY

N/A

APPL-NO: JP62122798

APPL-DATE: May 20, 1987

INT-CL (IPC): H01L029/78;H01L027/12

US-CL-CURRENT: 257/347,257/E29.273

ABSTRACT:

PURPOSE: To control a TFT easily by a method wherein a conductive layer is formed onto an insulating substrate, the thin-film transistor TFT is shaped onto the conductive layer, and the conductive layer is isolated respectively into a P-MOS and an N-MOS, and connected to a source electrode.

CONSTITUTION: A conductive layer 3 formed through an LP-CVD method, etc., and

consisting of polysilicon is shaped onto an insulating substrate 1. A diffusion layer 9 for the conductive layer, to which a P-type or N-type impurity is doped and which is composed of P<SP>+</SP> or N<SP>+</SP>, is formed at the end section of the conductive layer 3. A TFT is shaped onto the conductive layer 3 through a conventional method. An impurity doped to diffusion layers 4 as source-drain regions has polarity reverse to the impurity

doped to the diffusion layer 9 at that time, the diffusion layer 4 is formed in N<SP>+</SP> when the diffusion layer 9 is shaped in P<SP>+</SP>, and the diffusion layer 4 is formed in P<SP>+</SP> when the diffusion layer 9 is shaped in N<SP>+</SP>. An active layer 5 is formed in a P type or an N type to which the impurity changed into the same polarity as the diffusion layer 9 is light-doped.

COPYRIGHT: (C)1988,JPO&Japio

## ⑫ 公開特許公報(A)

昭63-288067

⑤ Int.Cl.<sup>4</sup>H 01 L 29/78  
27/12

識別記号

3 1 1

庁内整理番号

X-8422-5F  
7514-5F

④ 公開 昭和63年(1988)11月25日

審査請求 未請求 発明の数 1 (全3頁)

⑬ 発明の名称 薄膜トランジスタ

⑭ 特 願 昭62-122798

⑮ 出 願 昭62(1987)5月20日

⑯ 発 明 者 長 田 武 人 東京都大田区中馬込1丁目3番6号 株式会社リコー内

⑰ 出 願 人 株 式 会 社 リ コ ー 東京都大田区中馬込1丁目3番6号

⑱ 代 理 人 弁 理 士 佐 田 守 雄 外1名

## 明 細 書

## 1. 発明の名称

薄膜トランジスタ

## 2. 特許請求の範囲

1. 絶縁基板上にMOS型トランジスタを形成した薄膜トランジスタにおいて、絶縁基板上に導電層が形成され、この導電層上に薄膜トランジスタが形成され、前記導電層はP-MOS、N-MOSにそれぞれ分離され、ソース電極と接続されていることを特徴とする薄膜トランジスタ。

## 3. 発明の詳細な説明

## (技術分野)

本発明は等倍イメージセンサーや液晶ディスプレイ等の駆動部として使用するのに好適な薄膜トランジスタに関する。

## (従来技術)

従来の薄膜トランジスタ(以下、単にTFTという)は第3図に示されるように、絶縁基板上に直接活性層が形成されるよう構成されるも

のであった。なお、第3図において、1は絶縁基板、2は絶縁膜、4は拡散層、5は活性層、6はゲート酸化膜、7は金属電極、8はゲート電極をそれぞれ示すものである。このような従来のTFTにおいては、ゲート下のチャンネル層は絶縁基板上に形成されているため、その電位は不安定になり、独立に与えることができないものであった。また、活性層は絶縁基板上にあるため、活性層に電荷が蓄積されてしまい、その電位が不安定になり、それに起因するTFTの特性不安定が生ずるという問題点を有するものであった。さらに、ドレイン電極近傍で発生したドレインアバランシェ電流によって注入された電流はソース電極に注入されてしまうことによっても特性悪化をもたらしていた。

## (目 的)

本発明は上記した従来のTFTの有する問題点を解消し、動作の安定したTFTを提供することを目的とするものである。

## (構 成)

本発明のTFTの特徴とするところは、絶縁基板上に導電層が形成され、この導電層上にTFTが形成され、前記導電層はP-MOS、N-MOSにそれぞれ分離され、ソース電極と接続されていることにある。

以下に、本発明をその実施例を示す添付図面を参照して説明する。

第1図は本発明TFTの一実施例を示すものである。この第1図において、1は石英板等の絶縁基板であり、この絶縁基板1上にはLPCVD法等により成膜されたポリシリコンからなる導電層3が形成されている。そして、この導電層3の端部にはP型またはN型不純物がドーピングされたP<sup>+</sup>またはN<sup>+</sup>からなる導電層の拡散層9が形成されている。このような導電層3上には常法によってTFTが形成される。この際、ソース、ドレイン領域をなす拡散層4にドーピングされる不純物は前記拡散層9にドーピングされた不純物と逆の極性を有するものとし、例えば拡散層9がP<sup>+</sup>であるとするとき拡散層4はN<sup>+</sup>となる

ようにし、また拡散層9がN<sup>+</sup>であるとするとき拡散層4はP<sup>+</sup>となるようにする。それとともに、活性層5は拡散層9と同じ極性となる不純物がライトドーピングされたP型もしくはN型となされる。

第2図は本発明の他の実施例を示すものであり、第1図のものと比べると、導電層3を別途設けることなく、活性層となるべきポリシリコン層を比較的厚く形成し、活性層の下方を導電層領域としたものである。すなわち、比較的厚く形成したポリシリコン層表面からソース、ドレイン領域となる拡散層4を該ポリシリコン層下方にある厚さを残した制御された深さとなるように不純物をドーピングして拡散層4を形成する。そして、拡散層4下方の領域、すなわち第2図における点線部分より下方の領域を導電層3とするものである。そして、この導電層3の深さにまで達する拡散層9が拡散層4と逆の極性を有する不純物をドーピングすることによって形成されている。

これら、第1図および第2図に示した実施例TFTにおいて、拡散層9に金属電極7を接続する。これにより、活性層5が導電層3を通して拡散層9に接続された金属電極に加えられた電位と同電位とすることができ、活性層5の電位を任意に設定できることになる。またドレインアバランシェ電流もこの拡散層9から外部に流出させることにより、TFTの動作不安定が解消されることになる。

なお、第2図に示した実施例TFTによれば、活性層5を電源ラインの下まで作製することにより、ステップカバレッジの発生が全く心配ないTFTが得られ、製造上の歩留りが大幅に改善されることになる。

以上のような本発明に係るTFTを等倍イメージセンサーの駆動回路部に用いた場合の平面図を第4図に示す。この第4図の等倍イメージセンサーはくし形構造をなし、図中の10はN型TFTの電源供給ライン、11はP型TFTの電源供給ライン、12はN型TFTの活性層、13は

P型TFTの活性層をそれぞれ示すものである。  
〔効果〕

以上のような本発明によれば、TFTの動作が安定し、ゲート下の活性層の電位を任意に設定できるため、TFTのコントロールが容易になるという効果を有する。

#### 4. 図面の簡単な説明

第1図は本発明に係るTFTの一実施例を示す断面説明図である。

第2図は本発明に係るTFTの他の実施例を示す断面説明図である。

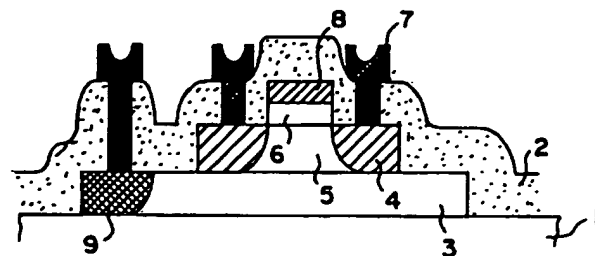
第3図は従来のTFTを示す断面説明図である。

第4図は本発明に係るTFTを等倍イメージセンサーの駆動回路部に用いた場合の平面図である。

- |        |          |
|--------|----------|
| 1…絶縁基板 | 2…絶縁膜    |
| 3…導電層  | 4…拡散層    |
| 5…活性層  | 6…ゲート酸化膜 |

- 7…金属電極      8…ゲート電極  
 9…拡散層  
 10…N型TFTの電源供給ライン  
 11…P型TFTの電源供給ライン  
 12…N型TFTの活性層  
 13…P型TFTの活性層

第1図

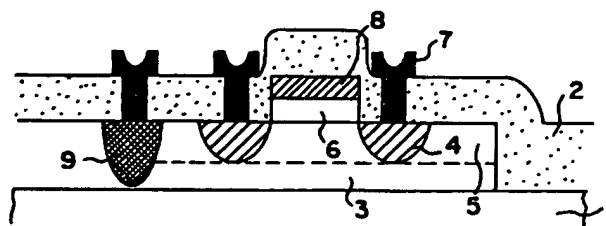


特許出願人 株式会社リコー  
 代理人 弁理士 佐田 守 雄

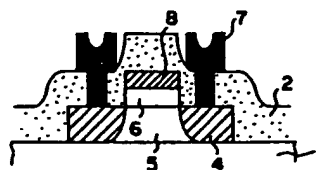
外1名



第2図



第3図



第4図

